

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 61-256671
 (43) Date of publication of application : 14. 11. 1986

(51) Int. Cl. H01L 29/78
 H01L 21/205
 H01L 21/263
 H01L 27/12

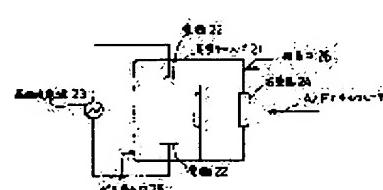
(21) Application number : 60-098550 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 09. 05. 1985 (72) Inventor : MATSUMOTO TOMOTAKA OKI KENICHI KAWAI SATORU NASU YASUHIRO

(54) MANUFACTURE OF THIN FILM TRANSISTOR

(57) Abstract:

PURPOSE: To improve the characteristics of a transistor by forming a silicon layer and source and drain electrodes doped by self-aligning by a light CVD method with a gate electrode as a mask in the same vacuum, thereby reducing the influence of a contamination with impurities.

CONSTITUTION: A glass substrate 11 in which a gate electrode (Cr) 12 is patterned is disposed at the shown position, a gate insulating film 13 is accumulated, SiH₄ gas is then fed, and an a-Si active layer 14 is accumulated. Then, Si₂H₆ and PH₃ are fed in the same vacuum into a chamber 21,



an ArF eximer laser 25 is emitted from a quartz substrate side 11, and an n+ type Si layer 14a is formed by a light CVD method on the a-Si which is masked by the electrode 12 and removed at the top. An electrode metal material formed on the doped layer 14a are readily contacted. After being once evacuated, organic metal material gas such as TMA is fed and the laser 25 is emitted from the quartz substrate side. Then, it is decomposed by the light and aluminum is accumulated on the inadicated part. Accordingly, self-aligned source and drain electrodes (aluminum) 15 are formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭61-256671

⑥Int.Cl.

H 01 L 29/78
21/205
21/263
27/12

識別記号

府内整理番号

⑪公開 昭和61年(1986)11月14日

8422-5F
7739-5F

7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑫発明の名称 薄膜トランジスタの製造方法

⑬特願 昭60-98550

⑭出願 昭60(1985)5月9日

⑮発明者 松本 友孝	川崎市中原区上小田中1015番地	富士通株式会社内
⑯発明者 沖 賢一	川崎市中原区上小田中1015番地	富士通株式会社内
⑰発明者 川井 倖	川崎市中原区上小田中1015番地	富士通株式会社内
⑱発明者 那須 安宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑲出願人 富士通株式会社	川崎市中原区上小田中1015番地	
⑳代理人 井理士 松岡 宏四郎	川崎市中原区上小田中1015番地	

明細書

(産業上の利用分野)

1. 発明の名称
薄膜トランジスタの製造方法
2. 特許請求の範囲
ゲート電極 (12)、ゲート絶縁膜 (13)、活性層 (14)、ソース・ドレイン電極 (15) から成る逆スタガード型薄膜トランジスタの製造において、ゲート絶縁膜 (13)、活性層 (14) の堆積と同一真空中で、ゲート電極 (12) をマスクとして光CVD法によって自己整合したドープされたシリコン層 (14a) およびソース・ドレイン電極 (15) を形成することを特徴とする薄膜トランジスタの製造方法。
3. 発明の詳細な説明
(概要)
液晶パネルの駆動などに用いる逆スタガード型薄膜トランジスタ (TFT) のソース・ドレイン電極を、ゲート絶縁膜、活性層と同一真空中で光CVD法によりゲート電極をマスクとして自己整合 (セルフアライン) で形成することを可能にする。

本発明は薄膜トランジスタの製造方法に関するもので、さらに詳しく言えば、真空を破ることなしに自己整合した薄膜トランジスタを製造する方法に関するものである。

(従来の技術)

例えば液晶パネルの駆動のための第3図の断面図に示される逆スタガード型TFTは知られたものであり、同図において、11はガラス基板、12はゲート電極、13は例えば窒化シリコンのゲート絶縁膜、14はアモルファスシリコン (a-Si) の活性層、15はソース電極、16はドレイン電極を示す。

このようなTFTの性能について問題となる点は、ゲート電極とソース・ドレイン電極とが重なるとその重なった部分にリーク電流が流れることと、その部分が容量になってトランジスタの特性に影響を与えることである。そこで、そのような重なり部分を少なくしなければならないのであるが、全く重ならないというのではなく僅かに重なるこ

とが必要である。つまり、ゲート電極とソース・ドレイン電極が少しばかり重なっていることにより図に符号17で示す部分に電子が蓄積され、ゲート電極を+にしてソース・ドレイン電極に電圧をかけたときにこの蓄積した電子が流されるようにならなければならないからである。かりにゲート電極とソース・ドレイン電極が重なっていないとするとき、符号17を示した部分は大なる抵抗となり、トランジスタの特性を劣化させることになる。

本出願人は、第3図に示すTFTをゲート電極をマスクとして自己整合で形成する方法を開発した。この方法を第4図を参照して説明すると、ガラス基板11の上にゲート電極12を形成し、プラズマCVD法で($\text{SiH}_4 + \text{NH}_3$)を用いて絶縁膜13を成長し、その上に SiH_4 ガスを用いてa-Siの活性層14を成長する。次いで、全面にレジスト膜18を塗布形成する。

次に第4図に矢印で示す如くガラス基板11の側から光を照射すると、ゲート電極12がマスクになってレジスト膜の部分18aには光が照射されない。

供することを目的とする。

〔問題点を解決するための手段〕

第1図の(a)ないし(c)は本発明の方法を実施する工程におけるTFT要部の断面図である。

第1図において、ゲート電極12、ゲート絶縁膜13、活性層14、ソース・ドレイン電極15からなるTFTをガラス基板11上に形成するにおいて、

ゲート絶縁膜13、活性層14の堆積と同一真空中でガラス基板11側から光を照射し、ゲート電極12をマスクとして自己整合したドープしたa-Si14aおよびソース・ドレイン電極15を光CVD法によって形成する。

〔作用〕

上記方法は、光CVD法において光の照射した部分のみに膜が堆積することを利用してゲート絶縁膜・活性層の堆積と同一真空中で、基板側からの光照射によって自己整合したソース・ドレイン電極を光CVD法によって形成するようにしたもので

次にレジストを現像し、第5図に示される如く全面に金属膜19を付着し、リフトオフ法でレジスト膜18aとその上の金属膜を除去して第3図に示したTFTを完成する。

〔発明が解決しようとする問題点〕

前記した如く、従来技術としては、プラズマCVD法でゲート絶縁膜、活性層を堆積したのちレジストプロセスによって自己整合した薄膜トランジスタを製造しているが、これには真空を破ること及びレジストプロセスからの汚染によってトランジスタの特性が劣化するという欠点があった。すなわち、レジストの塗布のときに真空を破ること、およびレジストプロセスによって活性層が汚染されるためTFT特性が劣化し、またレジストプロセスによって製造歩留りが低下するという問題がある。

本発明はこのような点に鑑みて創作されたもので、光CVD法を用いることにより同一真空中で自己整合した薄膜トランジスタを製造する方法を提

ある。

〔実施例〕

第1図(a)ないし(c)および第2図を参照して本発明実施例を詳細に説明する。

先ず、第1図(a)に示される如く、ゲート電極(Cr)12をバーニングしたガラス(石英)基板11上に、プラズマCVD法によって窒化シリコンのゲート絶縁膜13、a-Siの活性層14を従来例の場合と同様に堆積する。

前記した光CVD法は第2図の断面図に示される装置を用いて行うもので、同図において、21はチャンバ(0.1 Torrの真空に保たれる)、22は放電電極、23は高周波電波、24は石英窓を示し、この石英窓を通して後述するArFエキシマレーザ25が照射される。

ガラス基板11を図示の位置に配置してゲート絶縁膜13を堆積し、次にシラン(SiH_4)ガスを導入してa-Siの活性層14を堆積する。

次に同一真空中でジシラン(Si_2H_6)と PH_3 を

チャンバ21内に導入し、石英基板側11からArFエキシマレーザ25を照射してゲート電極12によってマスクされた上部を除いたa-Si上に第1図(c)に示される如く光CVD法によってn⁺-Si層14aを形成する。ジシランガスを用いる理由は、それがシリコンに比べて分子が大であるので分解エネルギーが小であり、かつ、光エネルギーの吸収係数が大であるからである。なお、ドープされたn⁺a-Si層14aを形成する理由は、その上に形成される電極金属材料とのコンタクトをとり易くするためである(ドープされないn型のa-Siと金属材料とのコンタクトは良くない)。

一度排気した後、有機金属材料ガス、例えばトリメチルアルミニウム(TM Al)を導入し、同様に石英基板側からArFエキシマレーザ25を照射すると、同ガスは光で分解し、光の当ったところにAlが堆積するから、ゲート電極12をマスクとした自己整合したソース・ドレイン電極(Al)15が形成される(第1図(c))。

このようにして、本実施例によれば、同一真空

中で自己整合した薄膜トランジスタを製造できるので不純物等による汚染の影響が減少し、特性を向上させることができるのである。

(発明の効果)

以上述べてきたように、本発明によれば同一真空中で自己整合した薄膜トランジスタを製造することができるので、不純物等による汚染の影響が減少でき、トランジスタの特性の向上が図れ、また製造歩留りが向上する効果がある。

4. 図面の簡単な説明

第1図(a)ないし(c)は本発明方法を実施する工程における半導体装置要部の断面図。

第2図は第1図の工程を実施する装置の断面図である。

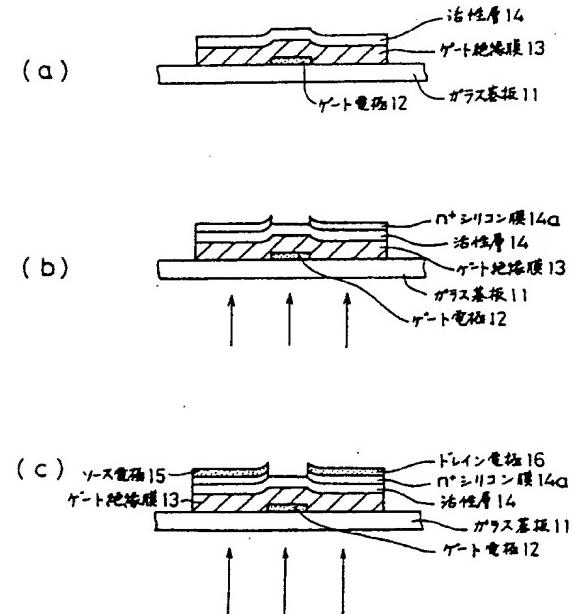
第3図は逆スタガード型TFTの断面図、

第4図と第5図は第3図のTFTを作る従来工程を示す断面図。

第1図ないし第5図において、

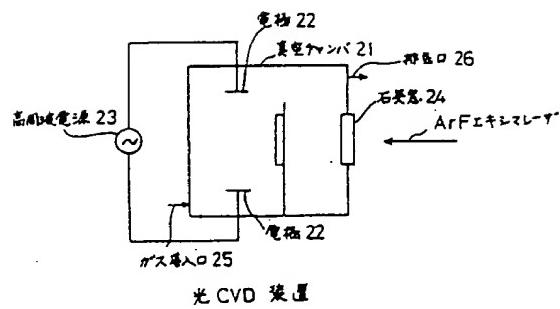
- 11はガラス(石英)基板、
- 12はゲート電極、
- 13はゲート絶縁膜、
- 14は活性層、
- 14aはドープされたn⁺a-Si層、
- 15はソース・ドレイン電極、
- 21は真空チャンバ、
- 22は放電電極、
- 23は高周波電源、
- 24は石英窓、
- 25はArFエキシマレーザである。

代理人 弁理士 松岡宏四郎



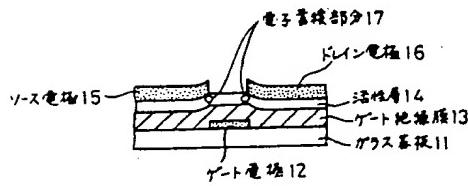
本発明実施例断面図

第1図



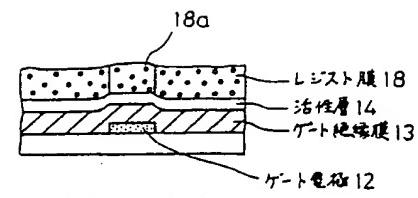
光CVD装置

第2図



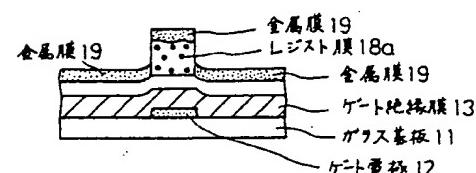
従来例断面図

第3図



従来例断面図

第4図



従来例断面図

第5図